

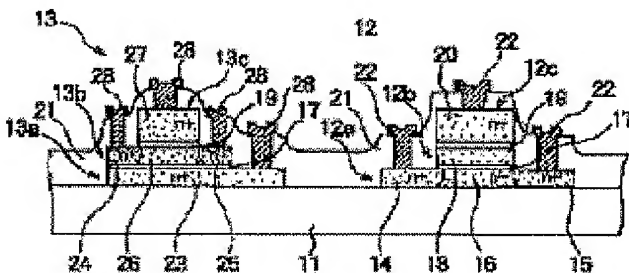
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP7086532
Publication date: 1995-03-31
Inventor: MOMIYAMA YOICHI; SUGII TOSHIHIRO
Applicant: FUJITSU LTD
Classification:
- international: **H01L21/8247; H01L27/115; H01L27/12; H01L29/788; H01L29/792; H01L27/115; H01L21/70; H01L27/115; H01L27/12; H01L29/66; H01L27/115; (IPC1-7): H01L27/115; H01L21/8247; H01L27/12; H01L29/788; H01L29/792**
- european:
Application number: JP19930231408 19930917
Priority number(s): JP19930231408 19930917

[Report a data error here](#)

Abstract of JP7086532

PURPOSE:To improve a load driving capability by employing semiconductor layers formed on an insulating amorphous substrate.
CONSTITUTION:A polycrystalline silicon layers 13a, a polycrystalline silicon layer 13b and a polycrystalline silicon layer 13c which correspond to a polycrystalline silicon layer 12a, a polycrystalline silicon layer 12b and a polycrystalline silicon layer 12c of which a memory cell is composed are employed to compose a transistor for a driving circuit, a peripheral circuit or the like as a double-gate type transistor 13 having an upper gate 27 and a lower gate 26. The semiconductor layers formed on an insulating amorphous substrate 11 are employed and the load driving capability of the transistor can be improved and the high speed operation of the transistor can be achieved.



Family list**1** family member for: **JP7086532**

Derived from 1 application

1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**Inventor:** MOMIYAMA YOICHI; SUGII TOSHIHIRO **Applicant:** FUJITSU LTD**EC:** **IPC:** *H01L21/8247; H01L27/115; H01L27/12*
(+13)**Publication info:** **JP7086532 A** - 1995-03-31Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86532

(43) 公開日 平成7年(1995)3月31日

(51) Int. Cl. ⁹

識別記号

F I

H01L 27/115

27/12

Z

21/8247

7210-4M

H01L 27/10

434

29/78

371

審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-231408

(22) 出願日 平成5年(1993)9月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 初山 陽一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 杉井 寿博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 北野 好人

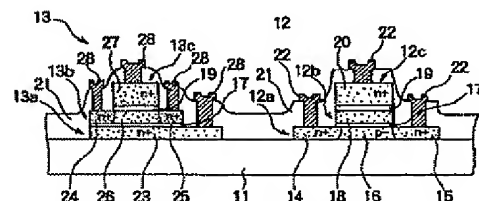
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 絶縁性非晶質基板上に形成される半導体層を用い、負荷駆動能力を向上させたトランジスタを有する半導体装置及びその製造方法を提供する。

【構成】 メモリセル12を形成するための多結晶シリコン層12a、多結晶シリコン層12b、多結晶シリコン層12cに対応する多結晶シリコン層13a、多結晶シリコン層13b、多結晶シリコン層13cを用いて、駆動回路や周辺回路等のトランジスタを、上部ゲート27と下部ゲート23を有するダブルゲート型トランジスタ13として形成する。絶縁性非晶質基板11上に形成される半導体層を用いているものの、トランジスタの負荷駆動能力を向上させ、高速動作させることが可能である。

本発明の一実施例による半導体装置の断面図



- 11...絶縁性非晶質基板
- 12...メモリセル
- 12a...多結晶シリコン層
- 12b...多結晶シリコン層
- 12c...多結晶シリコン層
- 13...トランジスタ
- 13a...多結晶シリコン層
- 13b...多結晶シリコン層
- 13c...多結晶シリコン層
- 14...ソース領域
- 15...ドレイン領域
- 16...チャネル領域
- 17...ゲート酸化膜
- 18...フローティングゲート
- 19...ゲート酸化膜
- 20...コントロールゲート
- 21...層間絶縁膜
- 22...金属電極
- 23...バックゲート
- 24...ソース領域
- 25...ドレイン領域
- 26...チャネル領域
- 27...フロントゲート
- 28...金属電極

【特許請求の範囲】

【請求項 1】 絶縁性非晶質基板と、前記絶縁性非晶質基板上の第 1 の領域に設けられたメモリセルと、前記絶縁性非晶質基板上の第 2 の領域に設けられたトランジスタとを有する半導体装置において、前記絶縁性非晶質基板上に形成され、前記第 1 の領域では前記メモリセルの動作層として機能し、前記第 2 の領域では前記トランジスタにおいては下部ゲートとして機能する第 1 の半導体層と、前記第 1 の半導体層上に第 1 の絶縁膜を介して形成され、前記第 1 の領域では前記メモリセルのフローティングゲートとして機能し、前記第 2 の領域では前記トランジスタの動作層として機能する第 2 の半導体層と、前記第 2 の半導体層上に第 2 の絶縁膜を介して形成され、前記第 1 の領域では前記メモリセルのコントロールゲートとして機能し、前記第 2 の領域では前記トランジスタの上部ゲートとして機能する第 3 の半導体層とを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、多結晶シリコン層であることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、非晶質シリコン層であることを特徴とする半導体装置。

【請求項 4】 絶縁性非晶質基板上に第 1 の半導体層を形成する工程と、前記第 1 の半導体層をパターンニングして、前記絶縁性非晶質基板上の第 1 の領域ではメモリセルの動作層を形成し、前記絶縁性非晶質基板上の第 2 の領域ではトランジスタの下部ゲートを形成する工程と、前記動作層及び前記下部ゲートである前記第 1 の半導体層の表面に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に第 2 の半導体層を形成する工程と、前記第 2 の半導体層の表面に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上に第 3 の半導体層を形成する工程と、前記第 3 の半導体層、前記第 2 の絶縁膜、前記第 2 の半導体層及び前記第 1 の絶縁膜をパターンニングして、前記第 2 の半導体層の前記第 1 の領域に前記メモリセルのフロントゲートを形成し、前記第 2 の領域に前記トランジスタの動作層を形成し、前記第 3 の半導体層の前記第 1 の領域に前記メモリセルのコントロールゲートを形成し、前記第 2 の領域に前記トランジスタの上部ゲートを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法に

において、

前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、多結晶シリコン層であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、

前記多結晶シリコン層は、非晶質シリコン層を堆積した後、加熱することにより結晶化して形成することを特徴とする半導体装置の製造方法。

10 【請求項 7】 請求項 4 記載の半導体装置の製造方法において、

前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、非晶質シリコン層であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、絶縁性非晶質基板上の第 1 の領域にメモリセルが設けられ、第 2 の領域にトランジスタが設けられた半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】 従来、情報を記憶するメモリセルと共に、メモリセルの駆動回路や周辺回路等を同一の絶縁性非晶質基板上に形成した半導体装置が知られている。電氣的消去可能な E E P R O M の場合、メモリセルは、動作層とフローティングゲートとコントロールゲートをそれぞれ多結晶シリコン層により形成している。

【 0 0 0 3 】 絶縁性非晶質基板上に形成された第 1 の多結晶シリコン層によりメモリセルの動作層を形成し、第 1 の多結晶シリコン層上に第 1 の絶縁層を介して形成された第 2 の多結晶シリコン層によるメモリセルのフローティングゲートを形成し、第 2 の多結晶シリコン層上に第 2 の絶縁層を介して形成された第 3 の多結晶シリコン層によるメモリセルのコントロールゲートを形成している。

【 0 0 0 4 】 また、メモリセルの駆動回路や周辺回路等に用いられるトランジスタも同一の絶縁性非晶質基板上に設けられている。これらトランジスタは、絶縁性非晶質基板上に形成された多結晶シリコン層を利用した T F T (Thin Film Transistor) として形成されている。

【 0 0 0 5 】

【発明が解決しようとする課題】 しかしながら、多結晶シリコン層を動作層として用いたトランジスタは、単結晶シリコン層を動作層として用いたバルクのトランジスタに比べて駆動能力が劣り、高速動作させることが困難であるという問題があった。本発明の目的は、絶縁性非晶質基板上に形成される半導体層を用い、負荷駆動能力を向上させたトランジスタを有する半導体装置及びその製造方法を提供することにある。

【 0 0 0 6 】

【課題を解決するための手段】上記目的は、絶縁性非晶質基板と、前記絶縁性非晶質基板上の第 1 の領域に設けられたメモリセルと、前記絶縁性非晶質基板上の第 2 の領域に設けられたトランジスタとを有する半導体装置において、前記絶縁性非晶質基板上に形成され、前記第 1 の領域では前記メモリセルの動作層として機能し、前記第 2 の領域では前記トランジスタにおいては下部ゲートとして機能する第 1 の半導体層と、前記第 1 の半導体層上に第 1 の絶縁膜を介して形成され、前記第 1 の領域では前記メモリセルのフローティングゲートとして機能し、前記第 2 の領域では前記トランジスタの動作層として機能する第 2 の半導体層と、前記第 2 の半導体層上に第 2 の絶縁膜を介して形成され、前記第 1 の領域では前記メモリセルのコントロールゲートとして機能し、前記第 2 の領域では前記トランジスタの上部ゲートとして機能する第 3 の半導体層とを有することを特徴とする半導体装置によって達成される。

【0007】上記半導体装置において、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、多結晶シリコン層であることが望ましい。上記半導体装置において、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、非晶質シリコン層であることが望ましい。また、上記目的は、絶縁性非晶質基板上に第 1 の半導体層を形成する工程と、前記第 1 の半導体層をパターンニングして、前記絶縁性非晶質基板上の第 1 の領域ではメモリセルの動作層を形成し、前記絶縁性非晶質基板上の第 2 の領域ではトランジスタの下部ゲートを形成する工程と、前記動作層及び前記下部ゲートである前記第 1 の半導体層の表面に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に第 2 の半導体層を形成する工程と、前記第 2 の半導体層の表面に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上に第 3 の半導体層を形成する工程と、前記第 3 の半導体層、前記第 2 の絶縁膜、前記第 2 の半導体層及び前記第 1 の絶縁膜をパターンニングして、前記第 2 の半導体層の前記第 1 の領域に前記メモリセルのフロントゲートを形成し、前記第 2 の領域に前記トランジスタの動作層を形成し、前記第 3 の半導体層の前記第 1 の領域に前記メモリセルのコントロールゲートを形成し、前記第 2 の領域に前記トランジスタの上部ゲートを形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

【0008】上記半導体装置の製造方法において、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、多結晶シリコン層であることが望ましい。上記半導体装置の製造方法において、前記多結晶シリコン層は、非晶質シリコン層を堆積した後に、加熱することにより結晶化して形成することが望ましい。上記半導体装置の製造方法において、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、非晶質シリコン層であることが望ましい。

【0009】

【作用】本発明によれば、メモリセルを形成するための第 1 の半導体層、第 2 の半導体層及び第 3 の半導体層を用いて、駆動回路や周辺回路等のトランジスタを、上部ゲートと下部ゲートを有するダブルゲート型トランジスタとして形成することができるので、絶縁性非晶質基板上に形成される半導体層を用いているものの、トランジスタの負荷駆動能力を向上させ、高速動作させることが可能である。

10 【0010】また、メモリセルを形成するための第 1 の半導体層、第 2 の半導体層及び第 3 の半導体層を用いてダブルゲート型トランジスタを形成したので、新たな工程を付加することなく簡単に形成することができる。

【0011】

【実施例】本発明の一実施例による半導体装置を図 1 を用いて説明する。本実施例の半導体装置は電氣的書込及び消去可能なEEPROMであって、図 1 に示すように、絶縁性非晶質基板 11 上の異なる領域に、情報を記憶するためのメモリセル 12 と、メモリセル 12 の駆動回路や周辺回路等に用いられるトランジスタ 13 とが形成されている。本実施例の半導体装置は、例えば、ガラス基板上に液晶ディスプレイを作成する場合に、液晶ディスプレイ上に同時に集積して形成するメモリ 12 と、その周辺回路及び液晶ディスプレイの駆動回路に使用されるトランジスタ 13 として使用される。

【0012】絶縁性非晶質基板 11 は、絶縁性非晶質材料により形成され、表面に多層の多結晶シリコン層が形成されている。これら多結晶シリコン層によりメモリセル 12 とトランジスタ 13 とが形成されている。メモリセル 12 は、3 層の多結晶シリコン層 12a、12b、12c を用いて構成されている。

【0013】絶縁性非晶質基板 11 上には第 1 層として多結晶シリコン層 12a が形成され、この多結晶シリコン層 12a はメモリセル 12 の動作層として機能する。多結晶シリコン層 12a の両側には不純物がドーピングされた n+ 型のソース領域 14 とドレイン領域 15 が形成され、これらソース領域 14 とドレイン領域 15 間に不純物がドーピングされた p- 型のチャネル領域 16 が形成されている。

40 【0014】第 1 の多結晶シリコン層 12a のチャネル領域 16 上にはゲート酸化膜 17 を介して第 2 層として多結晶シリコン層 12b が形成されている。この多結晶シリコン層 12b はメモリセル 12 のフローティングゲート 18 として機能する。フローティングゲート 18 に電荷が注入されたか否かにより情報が記憶される。第 2 の多結晶シリコン層 12b 上にはゲート酸化膜 19 を介して第 3 層として多結晶シリコン層 12c が形成されている。この多結晶シリコン層 12c には不純物がドーピングされ、メモリセル 12 の n+ 型のコントロールゲート 20 として機能する。このコントロールゲート 20 に電圧

を印加したときにチャネル領域16に電流が流れるか否かによりメモリセル12に記憶された情報を読み出すことができる。

【0015】トランジスタ13も、3層の多結晶シリコン層13a、13b、13cを用いて構成されている。これら3層の多結晶シリコン層13a、13b、13cはメモリセル12の3層の多結晶シリコン層12a、12b、12cにそれぞれ対応している。絶縁性非晶質基板11上には第1層として多結晶シリコン層13aが形成され、この多結晶シリコン層13aには不純物がドー

ープされ、トランジスタ13のn+型のバックゲート23として機能する。

【0016】第1の多結晶シリコン層13a上にはゲート酸化膜17を介して第2層として多結晶シリコン層13bが形成されている。この多結晶シリコン層13bはトランジスタ13の動作層として機能する。多結晶シリコン層13aの両側には不純物がドーピングされたn+型のソース領域24とドレイン領域25が形成され、これらソース領域24とドレイン領域25間にチャネル領域26が形成されている。

【0017】第2の多結晶シリコン層13bのチャネル領域26上にはゲート酸化膜19を介して第3層として多結晶シリコン層13cが形成されている。この多結晶シリコン層13cには不純物がドーピングされ、トランジスタ13のn+型のフロントゲート27として機能する。バックゲート23とフロントゲート27によりチャネル領域26の両側から電界を印加し、チャネル領域26を完全空乏化してトランジスタ13の駆動能力を高めている。

【0018】メモリセル12及びトランジスタ13上には、シリコン酸化膜からなる層間絶縁膜21が形成されている。層間絶縁膜21に形成されたコンタクトホールを介して、メモリセル12では、ソース領域14、ドレイン領域15、及びコントロールゲート20にそれぞれ接続する金属電極22が形成され、トランジスタ13では、バックゲート23、ソース領域24、ドレイン領域25、及びフロントゲート27にそれぞれ接続する金属電極28が形成されている。

【0019】このように本実施例によれば、メモリセル12で用いられる3層の多結晶シリコン層12a、12b、12cに対応する3層の多結晶シリコン層13a、13b、13cを利用して、ダブルゲートのトランジスタ13を形成することにより、多結晶シリコンを用いても高い駆動能力のトランジスタを実現することができる。また、フロントゲート27、バックゲート23に低い電圧を印加するだけで、トランジスタ13のチャネル領域16を完全空乏化することができるので、短チャネル効果を抑制することができる。

【0020】次に、本発明の一実施例による半導体装置の製造方法を図2及び図3を用いて説明する。まず、絶

縁性非晶質基板11全面に第1層として約150nm厚の多結晶シリコン層を堆積し、続いて、この多結晶シリコン層をパターニングしてメモリセル12の多結晶シリコン層12a、トランジスタ13の多結晶シリコン層13aを形成する。続いて、メモリセル12の多結晶シリコン層12aにホウ素(B)等のp型不純物をドーピングし、トランジスタ13の多結晶シリコン13aにヒ素(As)、リン(P)等のn型不純物をドーピングする(図2(a))。

10 【0021】次に、メモリセル12の多結晶シリコン層12a及びトランジスタ13の多結晶シリコン13aを熱酸化して、表面に約10nm厚のゲート酸化膜17を形成する。続いて、全面に第2層として約100nm厚の多結晶シリコン層29を堆積する。続いて、多結晶シリコン層29を熱酸化して、表面に約20nm厚のゲート酸化膜19を形成する。続いて、全面に第3層として約150nm厚の多結晶シリコン層30を堆積する(図2(b))。

20 【0022】次に、多結晶シリコン層30、ゲート酸化膜19、多結晶シリコン層29、ゲート酸化膜17を、メモリセル12では多結晶シリコン層12aの両側が露出する形状に、トランジスタ13では多結晶シリコン層13aの片側が露出する形状にパターニングする。メモリセル12では、多結晶シリコン層12a上にゲート酸化膜17、多結晶シリコン層12b、ゲート酸化膜19、多結晶シリコン層12cが形成され、トランジスタ13では、多結晶シリコン層13a上にゲート酸化膜17、多結晶シリコン層13b、ゲート酸化膜19、多結晶シリコン層13cが形成される(図2(c))。続いて、トランジスタ13では、多結晶シリコン層13bの両側が露出するように、多結晶シリコン層13cとゲート酸化膜19がパターニングされる(図3(d))。

30 【0023】次に、全面にイオン注入等によりホウ素(B)等のp型不純物をドーピングする。メモリセル12では、最上層の多結晶シリコン層12cがn+型不純物領域となってコントロールゲート20が形成され、最下層の多結晶シリコン層12aの両側の露出部分がn+型不純物領域になってソース領域14及びドレイン領域15が形成される。トランジスタ13では、最上層の多結晶シリコン層13cがn+型不純物領域となってフロントゲート27が形成され、中間層の多結晶シリコン層13bの両側の露出部分がn+型不純物領域になってソース領域24及びドレイン領域25が形成される(図3(d))。

40 【0024】次に、全面に約250nm厚のシリコン酸化膜を堆積して層間絶縁膜21を形成する。続いて、メモリセル12では、ソース領域14、ドレイン領域15、及びコントロールゲート20上の層間絶縁膜21に、トランジスタ13では、バックゲート23、ソース領域24、ドレイン領域25、及びフロントゲート27

7

上の層間絶縁膜 2 1 にコンタクトホールを形成する。続いて、層間絶縁膜 2 1 のコンタクトホールを介してコンタクトする金属電極 2 2、2 8 を形成する (図 3 (e)) 。

【 0 0 2 5 】 このようにして、絶縁性非晶質基板 1 1 上にメモリセル 1 2 と同時にダブルゲート型の n チャンネル薄膜トランジスタ 1 3 を形成することができる。本発明は上記実施例に限らず種々の変形が可能である。例えば、上記実施例では絶縁性非晶質基板上に積層した多結晶シリコン層を用いて半導体装置を形成したが、多結晶シリコン層の代わりに非晶質シリコン層を用いてもよい。

【 0 0 2 6 】 また、絶縁性非晶質基板上に非晶質シリコン層を堆積し、堆積した非晶質シリコン層を 6 0 0 ℃ 程度に加熱する熱処理を行って結晶化することにより多結晶シリコン層を形成するようにしてもよい。さらに、多結晶シリコン層、非晶質シリコン層の代わりに他の半導体材料による多結晶又は非晶質の半導体層を用いて半導体装置を形成してもよい。

【 0 0 2 7 】 また、上記実施例では、n チャンネルの薄膜トランジスタ 1 3 を形成したが、n チャンネルトランジスタに限らず、p チャンネルトランジスタや、CMOS トランジスタにも本発明を適用することができる。さらに、上記実施例は E E P R O M であったが、紫外線消去可能な E P R O M 等の他のメモリにも本発明を適用することができる。

【 0 0 2 8 】

【発明の効果】 以上の通り、本発明によれば、メモリセルを形成するための第 1 の半導体層、第 2 の半導体層及び第 3 の半導体層を用いて、駆動回路や周辺回路等のトランジスタを、上部ゲートと下部ゲートを有するダブルゲート型トランジスタとして形成することができるので、絶縁性非晶質基板上に形成される半導体層を用いているものの、トランジスタの負荷駆動能力を向上させ、高速動作させることが可能である。

【 0 0 2 9 】 また、メモリセルを形成するための第 1 の半導体層、第 2 の半導体層及び第 3 の半導体層を用いて

8

ダブルゲート型トランジスタを形成したので、新たな工程を付加することなく簡単に形成することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施例による半導体装置の断面図である。

【図 2】 本発明の一実施例による半導体装置の製造方法を示す工程断面図 (その 1) である。

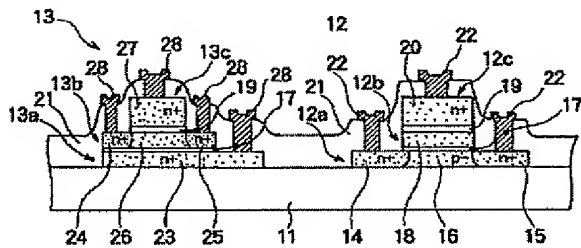
【図 3】 本発明の一実施例による半導体装置の製造方法を示す工程断面図 (その 2) である。

【符号の説明】

1 1 … 絶縁性非晶質基板
1 2 … メモリセル
1 2 a … 多結晶シリコン層
1 2 b … 多結晶シリコン層
1 2 c … 多結晶シリコン層
1 3 … トランジスタ
1 3 a … 多結晶シリコン層
1 3 b … 多結晶シリコン層
1 3 c … 多結晶シリコン層
1 4 … ソース領域
1 5 … ドレイン領域
1 6 … チャンネル領域
1 7 … ゲート酸化膜
1 8 … フローティングゲート
1 9 … ゲート酸化膜
2 0 … コントロールゲート
2 1 … 層間絶縁膜
2 2 … 金属電極
2 3 … バックゲート
2 4 … ソース領域
2 5 … ドレイン領域
2 6 … チャンネル領域
2 7 … フロントゲート
2 8 … 金属電極
2 9 … 多結晶シリコン層
3 0 … 多結晶シリコン層

【図 1】

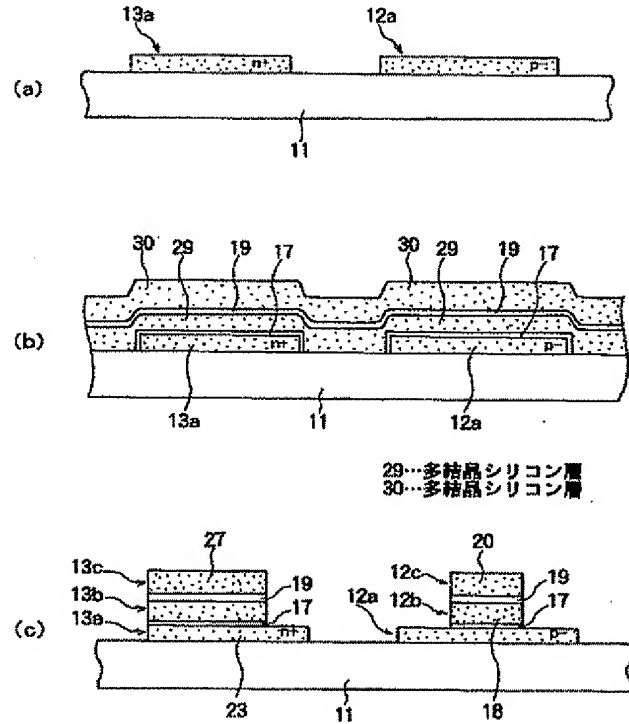
本発明の一実施例による半導体装置の断面図



- 11...絶縁性非晶質基板
- 12...メモリセル
- 12a...多結晶シリコン層
- 12b...多結晶シリコン層
- 12c...多結晶シリコン層
- 13...トランジスタ
- 13a...多結晶シリコン層
- 13b...多結晶シリコン層
- 13c...多結晶シリコン層
- 14...ソース領域
- 15...ドレイン領域
- 16...チャネル領域
- 17...ゲート酸化膜
- 18...フローティングゲート
- 19...ゲート酸化膜
- 20...コントロールゲート
- 21...層間絶縁膜
- 22...金属電極
- 23...バックゲート
- 24...ソース領域
- 25...ドレイン領域
- 26...チャネル領域
- 27...フロントゲート
- 28...金属電極

【図 2】

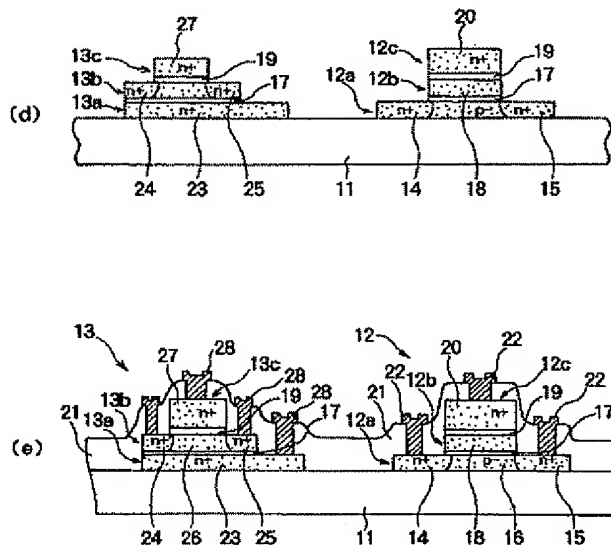
本発明の一実施例による半導体装置の製造方法を示す工程断面図(その 1)



- 29...多結晶シリコン層
- 30...多結晶シリコン層

【図 3】

本発明の一実施例による半導体装置の製造方法を示す工程断面図(その 2)



フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L		29/788		
		29/792		